

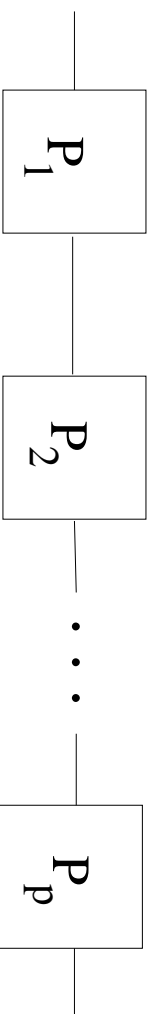
Parallelrechner-Architekturen

Netze

Prozessoren lassen sich durch eine Vielzahl von Netztopologien verbinden.

Beispiele:

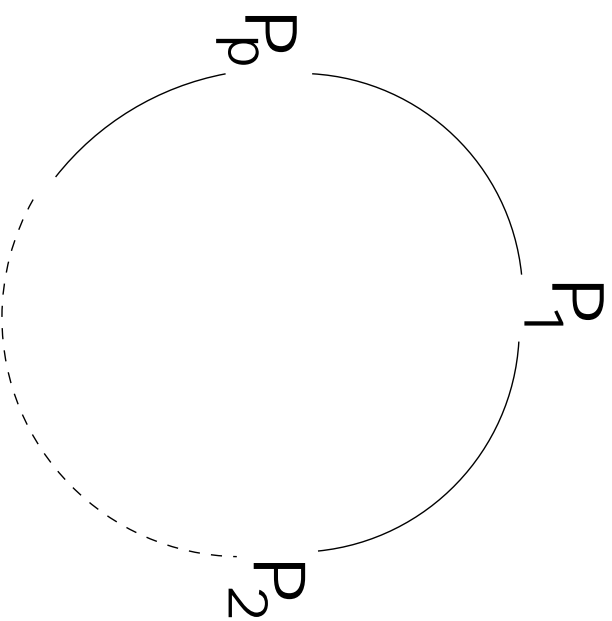
Bus: lineare Verknüpfung von Prozessoren durch Kommunikationsleitungen.



Nur bei kleinen Prozessoranzahlen p anwendbar.

Parallelrechner-Architekturen

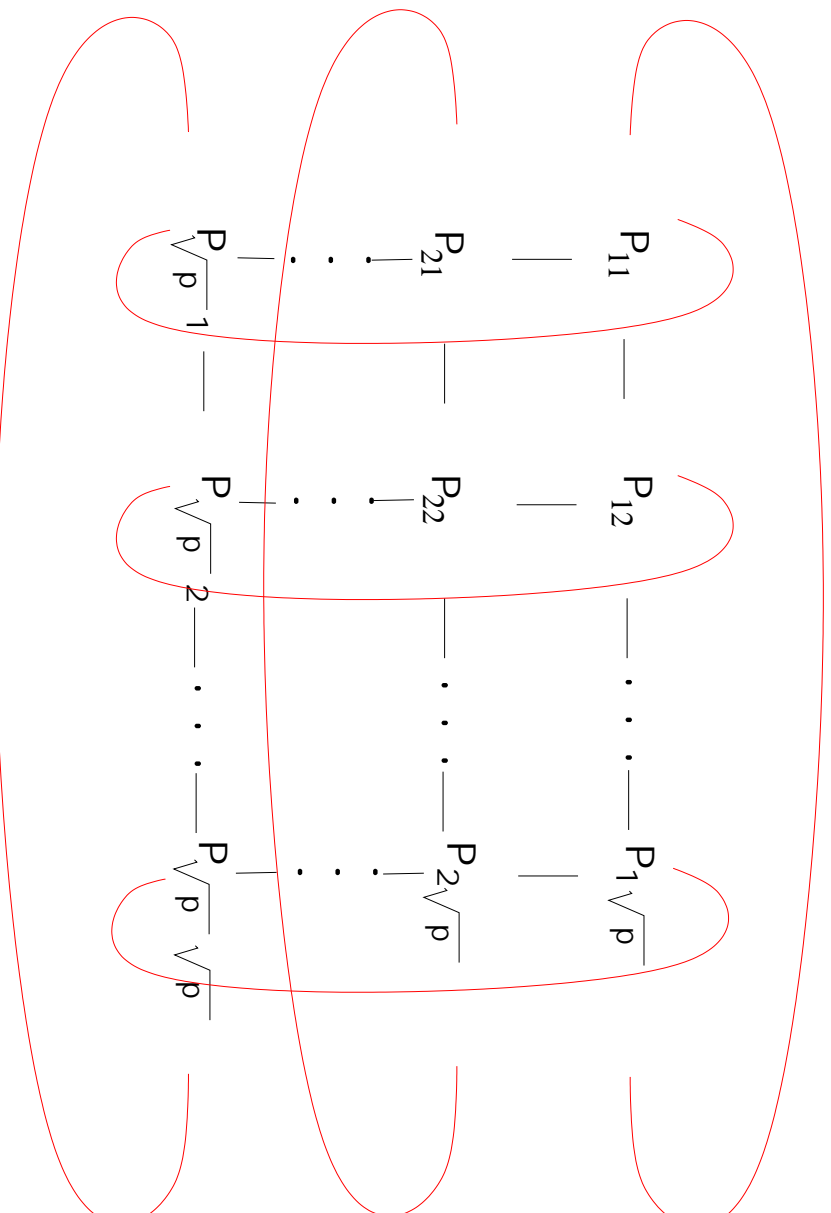
Ring: realisiert Netz als uni- oder bidirektionalen Kreis.



Kapazitätsproblem wie beim Bus

Parallelrechner-Architekturen

2D - Gitter, 2D - Torus



Fügt man die roten wrap around Verbindungen zu üblichen Gitterverbindungen hinzu, erhält man den 2D-Torus.

3D - Gitter, 3D - Torus

Analog definiert.

Hyperkubus (n - dimensioniert Würfel)

Werden induktiv über n aufgebaut:

$$HC_0 = P_0$$

$$HC_1 = P_0 \text{ --- } P_1$$

$$HC_2 = \begin{array}{ccc} P_0 & \text{---} & P_1 \\ | & & | \\ P_{00} & \text{---} & P_{01} \end{array}$$

$$HC_3 = \begin{array}{ccccc} & & 110 & & 111 \\ & & | & & | \\ 010 & & 011 & & \\ & & | & & | \\ & & 100 & & 101 \\ & & | & & | \\ 000 & & 001 & & \end{array}$$

$$HC_4 = \begin{array}{cccccccc} & & & & 0110 & & & 0111 \\ & & & & | & & & | \\ & & & & 1110 & & & 1111 \\ & & & & | & & & | \\ & & & & 1010 & & & 1011 \\ & & & & | & & & | \\ & & & & 0100 & & & 0101 \\ & & & & | & & & | \\ & & & & 1000 & & & 1001 \\ & & & & | & & & | \\ 0000 & & & & 1001 & & & 0001 \end{array}$$

Parallelrechner-Architekturen

Indizierung der Prozessoren im n -dimensionierten Hyperkubus durch Bitfolgen der Länge n . Zwei Prozessoren (a_1, \dots, a_n) und (b_1, \dots, b_n) sind genau dann durch eine Kommunikationsleitung verbunden, wenn sie sich in genau einem Bit unterscheiden. Das liefert ein einfaches Verfahren Daten von Prozessor (a_1, \dots, a_n) zu Prozessor (b_1, \dots, b_n) zu senden.

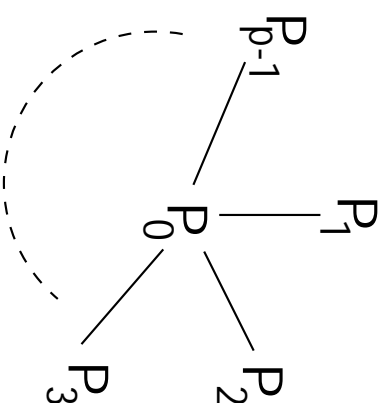
$$\begin{aligned} (a_1, \dots, a_n) &\rightarrow (b_1, a_2, \dots, a_n) \rightarrow (b_1, b_2, a_3, \dots, a_n) \\ &\rightarrow (b_1, b_2, \dots, b_{n-1}, a_n) \rightarrow (b_1, \dots, b_n) \end{aligned}$$

Z.B. Route Datum von 0100 nach 1101:

0100 \rightarrow 1100 \rightarrow 1101

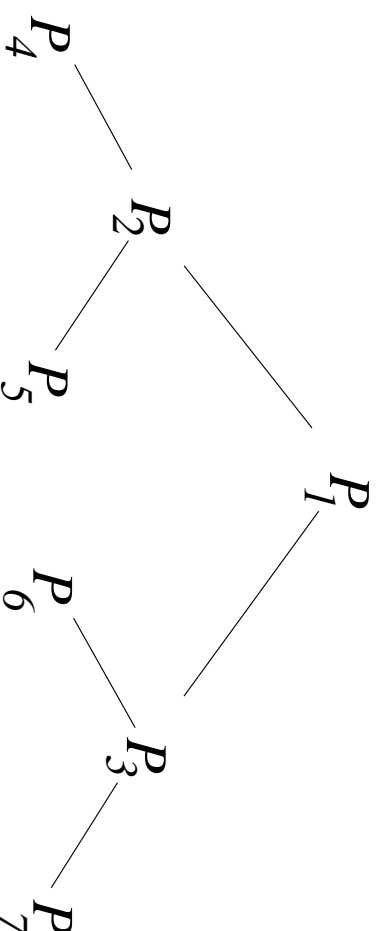
Parallelrechner-Architekturen

Sterne:



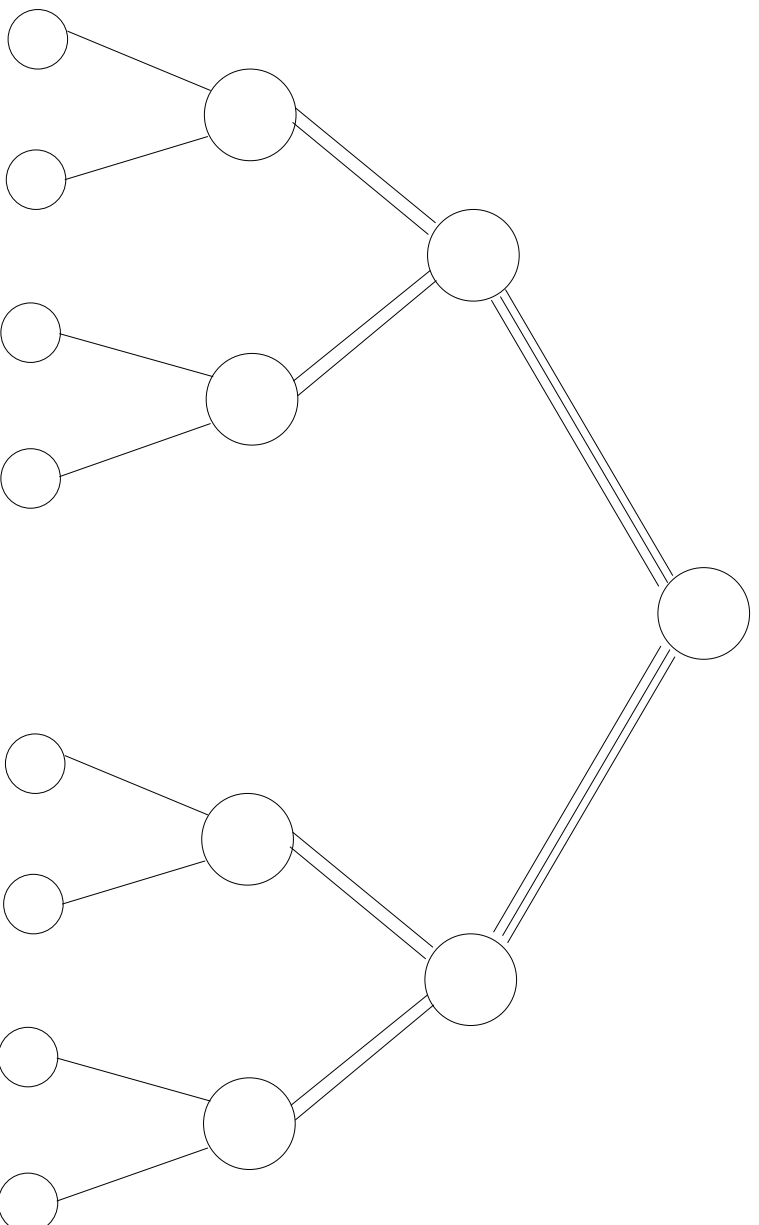
Typische Master-Slave-Architektur. Jede Kommunikation zwischen Prozessor führt über den Master, der so zum Flaschenhals wird.

Bäume: Hierarchische Topologie



Fat tree

Je näher Prozessor bei der Wurzel liegt, umso größer ist die Gefahr, dass er zum Kommunikationsflaschenhals wird. Füge in den Baum zwischen benachbarten Prozessoren näher zur Wurzel zusätzliche Verbindungen ein.



Bewertungsmaßstäbe für Netze

- **Geringe Kosten** (Verbindungsgrad je Knoten ist beschränkt)
 - **Kleiner Durchmesser** (möglichst geringe maximale Pfadlänge zwischen zwei Prozessoren)
 - **Effizienter Datenaustausch** aller Knoten **gleichzeitig**. Dazu sollte die **Diskonnektivität** $d = \frac{P}{bw}$ des Netzes klein sein. bw ist die **Bisektionsweite** des Netzes, d.h. die kleinste Anzahl Verbindungen, die durchtrennt werden müssen, um das Netz in zwei gleichgroße Hälften (± 1) zu zerlegen.
 - **Pfadberechnung** für Datenrouting sollte **einfach** sein.
 - **Redundanz** (Je zwei Knoten sollten durch mehr als einen Pfad verbunden sein).
-

Parallelrechner-Architekturen

- Kommunikation sollte frei von statischen und dynamischen Verklemmungen sein.
- Verdrahtung sollte regelmäßigen Muster folgen.
- Leitungen sollten kurz sein.

Als wichtigstes Maß für Güte eines Netzes wird die Diskonnektivität angesehen

$$d = \frac{\text{Anzahl aller Knoten}}{\text{Bisektionsweite}},$$

die proportional zur Kommunikationsdauer im worst case ist.

Parallelrechner-Architekturen

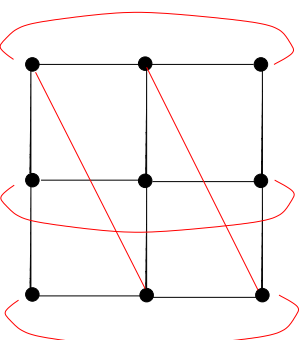
Vergleiche der Netze:

Netz	Bus	2D-Gitter	Baum	Hyperkubus
Verbindungsgrad	2	4	3	$\log n$
Durchmesser	n	\sqrt{n}	$\log n$	$\log n$
Diskonnektivität	n	\sqrt{n}	n	1
Pfadberechnung	einfach	einfach	einfach	einfach
Redundanz	keine	ja	keine	ja
Verklemmungen	keine	keine	keine	keine
Verdrahtungsmuster	einfach	einfach	einfach	komplex
Leitungslänge	kurz	kurz	variiert	variiert
Kosteneffektivität	$O(n)$	$O(\sqrt{n})$	$O(n)$	$(\log^2 n)$

Parallelrechner-Architekturen

Meilenstein des Baus von Parallelrechnern:

- Atanasoff-Berry-Computer, 1942
(löst lineares Gleichungssystem mit ≤ 29 Gleichungen)
- IUIAC-IV, 1972
64 Prozessoren, 50 MFLOPS, Netz: 2D-Gitter



- C.mmp, Cornegie-Mellon-Universität, 1972
besteht aus 16 PDP-11/40E mit 16 Speichermodulen (je 2 MByte) über Kreuzschienenverteiler verbunden. (Parallele

Nullstellensuche mit maximal 9 Prozessoren, mit mehr Prozessoren
↪ slow down.)

Parallelrechner-Architekturen

- CRAY-1, 1976
(Vektorrechner mit 130 MFLOP's schnellster Rechner damals.)
- Connection Machine, 1986 (2^{16} physikalische Prozessoren).
 2^{30} virtuelle 1-Bit Prozessoren, massiv parallel theoretisch: 32 GLOPS, tatsächlich: 5 GLOPS

